

02/8088-SNY

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07321091 A**

(43) Date of publication of application: **08 . 12 . 95**

(51) Int. Cl. **H01L 21/3065**
C23F 4/00
H01L 21/027
H01L 21/3213

(21) Application number: **06105725**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **19 . 05 . 94**

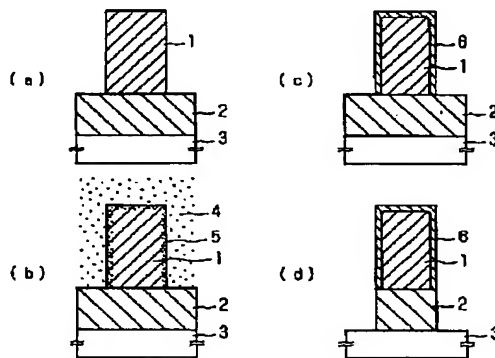
(72) Inventor: **SHIBATA SEIJI**

(54) ETCHING AND WIRING FORMING METHOD

(57) Abstract:

PURPOSE: To provide an etching method, wherein a good etching form is obtained by a simple process, and a wiring forming method, wherein pattern wiring, which is excellent in dimension controllability, is formed with good reproducibility with the use of it.

CONSTITUTION: A conductive film 2 and a resist pattern 1 are lamination-formed on a silicon substrate 3 (a), and a silylation agent 4 is reacted on the resist pattern 1 so that a silylation layer 5 is formed on the surface of it (b), and further, the resist pattern 1 is exposed to oxygen plasma atmosphere so that a silicon oxidized layer 6 is formed on the surface of it (c), then, dry etching is performed with the use of resist pattern 1 as a mask, so that the conductive film 2 is etched (d).



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321091

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3065

C 2 3 F 4/00

H 0 1 L 21/027

C 8417-4K

H 0 1 L 21/ 302

H

21/ 30

5 7 9

審査請求 未請求 請求項の数 5 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-105725

(22) 出願日 平成6年(1994)5月19日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 柴田 清司

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

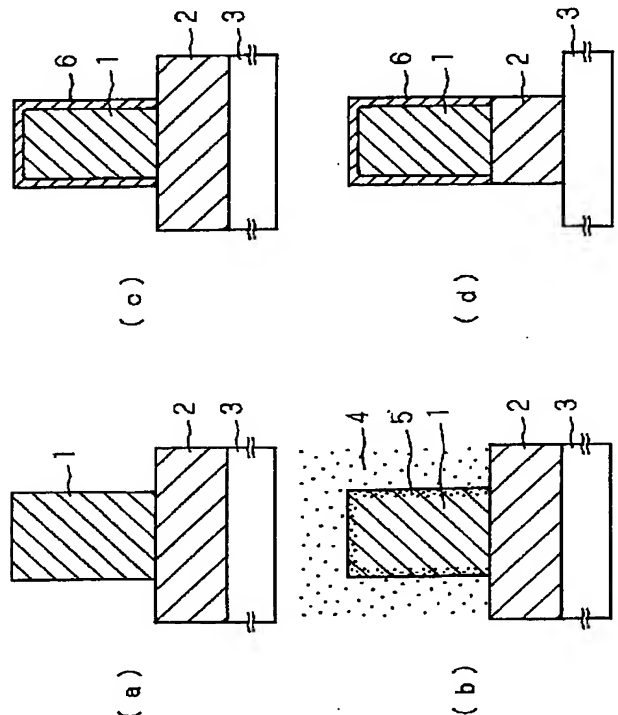
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 エッチング方法及び配線形成方法

(57) 【要約】

【目的】 簡単な工程にて良好なエッチング形状が得られるエッチング方法と、これを用いて寸法制御性に優れたパターン配線を再現性良く形成する配線形成方法とを提供する。

【構成】 シリコン基板3上に導電性膜2、レジストパターン1を積層形成し (a)、レジストパターン1にシリル化剤4を反応させてその表面にシリル化層5を形成し (b)、更にこのレジストパターン1を酸素プラズマ雰囲気さらして表面にシリコン酸化層6を形成した後 (c)、このレジストパターン1をマスクとしてドライエッチングを施して導電性膜2をエッチングする (d)。



【特許請求の範囲】

【請求項1】 レジストパターンの表面をシリル化及び酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとして下地層をドライエッチングすることを特徴とするエッチング方法。

【請求項2】 半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜及びレジストパターンを積層形成し、該レジストパターンの表面をシリル化及び酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングすることを特徴とする配線形成方法。

【請求項3】 半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜、レジストパターンを積層形成する工程と、該レジストパターンの表面をシリル化してシリル化層を形成する工程と、該シリル化層を有するレジストパターンを酸化して該シリル化層をシリコン酸化層に変える工程と、該シリコン酸化層を有するレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングする工程とを有することを特徴とする配線形成方法。

【請求項4】 半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜とシリコンを含有したレジストによるレジストパターンとを積層形成する工程と、該レジストパターンの表面を酸化してシリコン酸化層を形成する工程と、該シリコン酸化層を有するレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングする工程とを有することを特徴とする配線形成方法。

【請求項5】 前記レジストパターンを酸素プラズマ雰囲気中にさらすことにより前記シリコン酸化層を形成することを特徴とする請求項2、3または4記載の配線形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置を作製する際に利用されるエッチング方法とパターン配線形成方法とに関する。

【0002】

【従来の技術】 図3は、導電性膜をエッチングしてパターン配線を形成する従来の方法の工程を示す断面図である。図3に示す従来の方法では、シリコン基板3上に堆積したA1合金、ポリシリコンまたはシリサイドからなる導電性膜2上にノボラック系レジストを塗布し、塗布したレジストをステッパー等の露光装置を用いたリソグラフィ法によりパターンニングしてレジストパターン1を形成する(図3(a))。なお、導電性膜2の中でA1合金膜はスパッタリング法で、ポリシリコン膜及びシリサイド膜はCVD法により成膜される。そして、レジストパターン1をマスクとして導電性膜2にドライエ

ッチングを施し、配線を形成する(図3(b))。

【0003】 図4は、導電性膜をエッチングしてパターン配線を形成する他の従来方法の工程を示す断面図である。図4に示す従来の方法では、ポリシリコンまたはシリサイドからなる導電性膜9をCVD法によりシリコン基板3上に堆積した後、同じくCVD法によりシリコン酸化膜(SiO₂膜)8を~2000Å堆積し、その上にノボラック系レジストを塗布し、塗布したレジストをパターンニングしてレジストパターン1を形成する(図4(a))。そして、レジストパターン1をマスクとしてSiO₂膜8をエッチングする(図4(b))。次に、レジストパターン1を剥離した後、残存したSiO₂膜8をマスクとして導電性膜9をエッチングし、配線を形成する(図4(c))。

【0004】

【発明が解決しようとする課題】 A1合金膜のエッチングでは対レジスト選択比が2程度であって、ポリシリコン膜、シリサイド膜のエッチングでは対レジスト選択比が5程度であり、何れも比較的低い値となっている。これは、エッチングガスに塩素系の比較的重い元素を使用しているのでレジストのスパッタ率が高くなること、また、スパッタリングによって飛散したレジスト成分が被エッチング領域に付着してエッチングレートを低下させることに起因していると考えられる。レジスト選択比が低いと、エッチング中にマスクであるレジストのエッチングレートが非常に高いため、レジスト側壁が後退し配線幅が細くなる。このような線幅の細りの発生は線幅制御性を悪くし、極端な場合にはエッチング中にレジストパターンが消失し配線の断線を招いたりする。

【0005】 また、レジストをエッチングマスクに使用した場合には、エッチング時にレジスト及び被エッチング材の側壁に付着する側壁保護膜の量が被エッチング領域の開口面積によって異なるので、この開口面積の違いによってエッチング変換差が異なる現象も発生し、寸法制御性を悪化させている原因となっている。配線の断線に対しての解決策の一つとして、レジストを厚膜化する方法がある。しかし、レジストの厚膜化は解像度及び焦点深度の低下を招き、リソグラフィ工程のプロセスマージンを小さくしてしまうという別の問題が生じてくる。

【0006】 そこで、低い対レジスト選択比及びエッチング変換差が異なる現象に対する対策として、被エッチング材の表面に予め薄い酸化膜(例えばSiO₂膜)を形成しておく前述したような方法(図4参照)がある。この場合、前述したように、レジストをマスクとしてまず酸化膜をエッチングし、レジストを剥離後、酸化膜をマスクとして導電性膜をエッチングすることになる。ドライエッチングに塩素系ガスを使用した場合、導電性膜(A1合金膜、ポリシリコン膜またはシリサイド膜)の対酸化膜選択比は約10以上になり、所望の形状に導電性膜がエッチングされて、配線の線幅制御性が向上する。

また、導電性膜をエッチングするときにレジストをマスクにしないため、前述したようなエッチング変換差が異なる現象も発生しにくい。しかしながら、この方法ではCVD法による酸化膜の成膜工程と酸化膜のエッチング工程とが必要となり、ウエハープロセスの複雑化、高温プロセスの増加、コストの増加などの問題が残っている。

【0007】本発明は斯かる事情に鑑みてなされたものであり、簡単な工程により、所望の良好なエッチング形状を得ることができるエッチング方法、及び、寸法制御性に優れたパターン配線を再現性良く形成できる配線形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本願の請求項1に係るエッチング方法は、レジストパターンの表面をシリル化及び酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとして下地層をドライエッチングすることを特徴とする。

【0009】本願の請求項2に係る配線形成方法は、半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜及びレジストパターンを積層形成し、該レジストパターンの表面をシリル化及び酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングすることを特徴とする。

【0010】本願の請求項3に係る配線形成方法は、半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜、レジストパターンを積層形成する工程と、該レジストパターンの表面をシリル化してシリル化層を形成する工程と、該シリル化層を有するレジストパターンを酸化して該シリル化層をシリコン酸化層に変える工程と、該シリコン酸化層を有するレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングする工程とを有することを特徴とする。

【0011】本願の請求項4に係る配線形成方法は、半導体装置におけるパターン配線を形成する方法において、基板上に導電性膜とシリコンを含有したレジストによるレジストパターンとを積層形成する工程と、該レジストパターンの表面を酸化してシリコン酸化層を形成する工程と、該シリコン酸化層を有するレジストパターンをマスクとしたドライエッチングにより前記導電性膜をエッチングする工程とを有することを特徴とする。

【0012】本願の請求項5に係る配線形成方法は、請求項2、3または4において、前記レジストパターンを酸素プラズマ雰囲気中にさらすことにより前記シリコン酸化層を形成することを特徴とする。

【0013】

【作用】本発明のエッチング方法では、表面にシリコン酸化層が形成されたレジストパターンをマスクとして下

地層をドライエッチングする。レジストパターンの表面にシリコン酸化層が形成されているので、下地層のドライエッチングにおける対レジスト選択比が向上し、上述したエッチング変換差が異なる現象の低減を図れる。このため、低温で且つ簡便に、しかも、リソグラフィ工程のプロセスマージンを低下させることなく、下地層の良好なエッチング形状が得られる。

【0014】本発明の配線形成方法では、基板上に導電性膜、レジストパターンを積層形成し、そのレジストパターンの表面をシリル化してシリル化層を形成し、更にシリル化層を有するレジストパターンを酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとして導電性膜にドライエッチングを施すことにより配線パターンを形成する。また、本発明の他の配線形成方法では、基板上に、導電性膜とシリコンを含有したレジストによるレジストパターンとを積層形成し、そのレジストパターンの表面を酸化してシリコン酸化層を形成した後、このレジストパターンをマスクとして導電性膜にドライエッチングを施すことにより配線パターンを形成する。

【0015】本発明の配線形成方法によれば、レジストパターンの表面にシリコン酸化層が形成されているので、導電性膜のドライエッチングにおける対レジスト選択比が向上して、容易に導電性膜を所望の形状にエッチングできて、配線の高精度の寸法制御性が得られる。

【0016】

【実施例】以下、本発明をその実施例を示す図面に基づいて具体的に説明する。

【0017】（実施例1）図1は、本発明の実施例1による配線形成方法の工程を示す断面図である。従来例と同様に例えばA1合金からなる導電性膜2をシリコン基板3上に堆積した後、ノボラック系樹脂からなるレジストを塗布し、露光処理、現像処理を経てレジストパターン1を形成する（図1（a））。

【0018】次に、Jane M. Shaw等がJ. Vac. Sci. Technol. B, Vol. 7, No. 6, pp1709-1716(1989)において発表した液相における低温シリル化法を用いて、レジストパターン1をシリル化する。具体的にはHMCTS (Hexamethylcyclotrisilazane) 等のシリル化剤4をキシレンで10%の濃度に希釈して、更に少量のNMP (N-methyl pyrrolidinone) を添加した溶液に、レジストパターン1を40℃の温度下で2分間浸漬して、レジストパターン1の表面にシリル化層5を約0.5μm形成する（図1（b））。

【0019】そして、このレジストパターン1をO₂ プラズマ雰囲気下にさらして、シリル化層5を酸化し、レジストパターン1の表面にシリコン酸化層(SiO₂層)6を形成する（図1（c））。最後に、表面にSiO₂層6を有するレジストパターン1をマスクとして、塩素系ガスを含むエッチングガスを用いたりアクテ

イブイオンエッチング法により、導電性膜2をエッチングしてパターン配線を形成する(図1(d))。

【0020】ノボラック系レジストを使用したエッチングの場合、Al合金の対レジスト選択比が2程度であるのに対して、対SiO₂選択比は約10以上と高いので、表面がSiO₂層6に改質したレジストパターン1をマスクとして導電性膜2をエッチングすると、良好なエッチング形状が得られる。

【0021】(実施例2)図2は、本発明の実施例2による配線形成方法の工程を示す断面図である。実施例2ではシリコンを含有したレジストを使用する。まず実施例1と同様にシリコン基板3に堆積した導電性膜2上に、シリコン含有レジストからなるレジストパターン7を形成する(図2(a))。

【0022】そして、このレジストパターン7をO₂プラズマ雰囲気下にさらして、その表面にSiO₂層6を形成する(図2(b))。その後、実施例1と同様に表面をSiO₂層6に改質したレジストパターン7をマスクとして、塩素系ガスを含むエッチングガスを用いたリアクティブイオンエッチング法により、導電性膜2をエッチングして、良好な形状のパターン配線を形成する(図2(c))。

【0023】なお、上述した実施例では、ノボラック系樹脂からなるレジストを使用した。ポリビニールフェノール樹脂等の他のフェノール系樹脂からなるレジストを用いてもよい。また、導電性膜2の材料としてAl合金を用いたが、ポリシリコン、タングステン、タングステンシリサイド、チタンシリサイド、モリブデン、モリブデンシリサイド等の他の導電性材料を用いてもよい。ポリシリコン、チタンシリサイドを用いる場合には、Al合金と同様に、エッチングガスとして塩素系ガスを使用する。一方、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイドを用いる場合には、エッチングガスとしてSF₆、NF₃等のフッ素系ガスを使用する。また、エッチング時にリアクティブイオンエッチング法を利用したが、他の種類のドライエッ

チング法でも同様の効果を奏する。

【0024】また、下地層としての導電性膜をエッチングしてパターン配線を形成する場合を実施例として説明したが、被エッチング材としての下地層が導電性膜に限られるものではなく、基板、絶縁性膜等をエッチングする場合にも本発明のエッチング方法が適用できることは言うまでもない。

【0025】

【発明の効果】以上のように、本発明のエッチング方法によれば、表面にシリコン酸化層が形成されたレジストパターンをマスクとして下地層をドライエッチングするので、下地層のドライエッチングにおける対レジスト選択比が向上して、低温で且つ簡便に、しかも、リソグラフィ工程のプロセスマージンを低下させることなく、下地層の良好なエッチング形状を得ることができる。

【0026】また、このエッチング方法を利用した本発明の配線形成方法によれば、導電性膜を所望の形状に容易にエッチングできるので、簡単な工程により寸法制御性良く配線を形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例1による配線形成方法の工程を示す断面図である。

【図2】本発明の実施例2による配線形成方法の工程を示す断面図である。

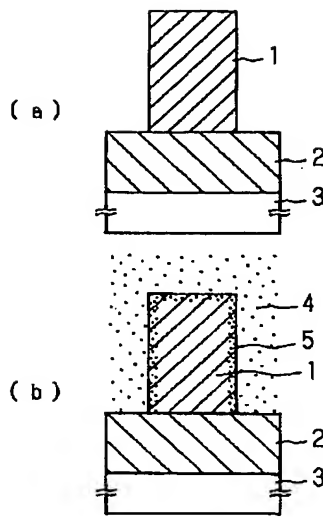
【図3】従来の配線形成方法の工程を示す断面図である。

【図4】従来の他の配線形成方法の工程を示す断面図である。

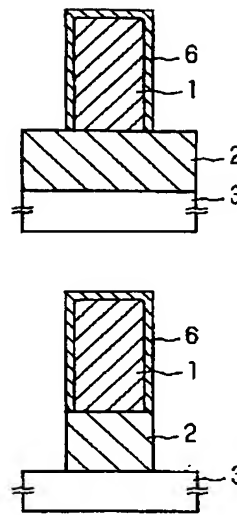
【符号の説明】

- 1 レジストパターン
- 2 導電性膜
- 3 シリコン基板
- 4 シリル化剤
- 5 シリル化層
- 6 シリコン酸化層(SiO₂層)
- 7 レジストパターン

【図 1】

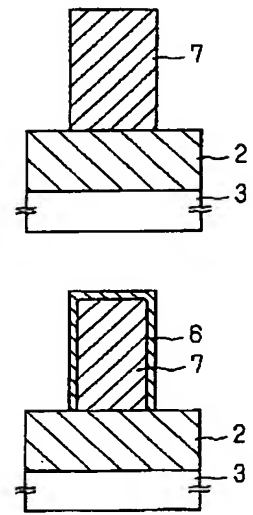


(c)

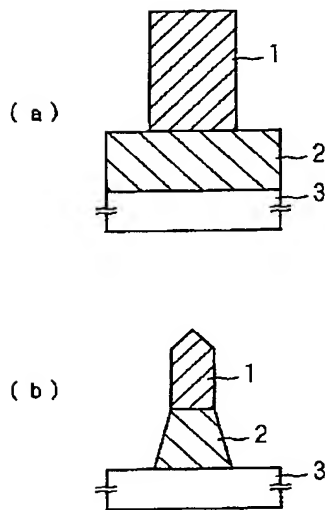


【図 2】

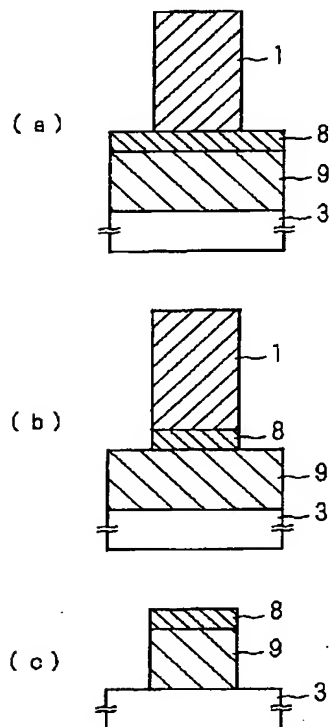
(a)



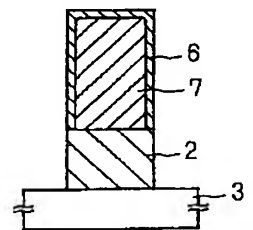
【図 3】



【図 4】



(c)



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 21/3213

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/88

D